

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年2月26日 (26.02.2004)

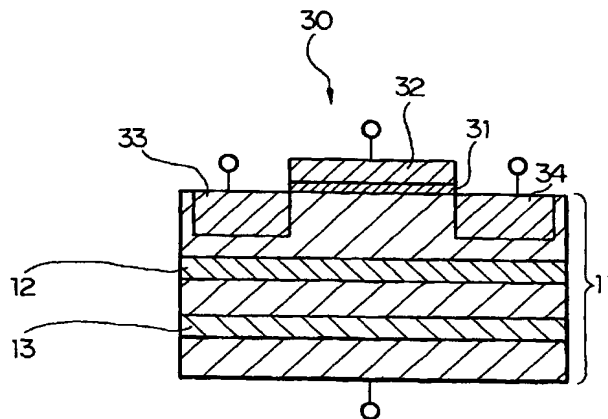
PCT

(10) 国際公開番号
WO 2004/017416 A1

- (51) 国際特許分類: H01L 29/762, 29/78, 21/336, 21/339, 27/14, H04N 5/335
- (21) 国際出願番号: PCT/JP2003/010408
- (22) 国際出願日: 2003年8月18日 (18.08.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2002-237838 2002年8月19日 (19.08.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 吉田 宏之 (YOSHIDA, Hiroyuki) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).
- (81) 指定国 (国内): CN, KR, US.
- 添付公開書類:
— 国際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: INSULATED GATE FIELD-EFFECT TRANSISTOR AND ITS MANUFACTURING METHOD, AND IMAGING DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 絶縁ゲート型電界効果トランジスタとその製造方法、および撮像装置とその製造方法



(57) Abstract: An insulated gate field-effect transistor in which a shutter step is hardly produced and punch-through and injection hardly occur, a solid-state imaging device using such a transistor, and methods for manufacturing them are disclosed. The insulated gate field-effect transistor (30) is such that a gate insulating film (31) is formed on a semiconductor substrate (11), a gate electrode (32) is formed on the gate insulating film (31), and a source region (33) and a drain region (34) are formed in the semiconductor substrate (11) on both sides of the gate electrode (31). The transistor (30) includes a P-type first diffusion layer (12) formed in the semiconductor substrate (11) at a depth greater than that where the source and drain regions (33, 34) are formed and a P-type second diffusion layer (13) formed in the semiconductor substrate (11) at a depth greater than that where the first diffusion layer (12) is formed and having a concentration higher than that of the first diffusion layer (12). A part or all of the insulated-gate field-effect transistors constituting the output circuit of a solid-state imaging device and formed in a semiconductor substrate can be of such a type.

(57) 要約: シャッタ段差の発生を抑制し、またパンチスルーやインジェクションの発生を抑制した絶縁ゲート型電界効果トランジスタおよびそれを用いた固体撮像装置およびそれらの製造方法である。半導体基板 (11) 上にゲート絶縁膜

[続葉有]



(31)を介してゲート電極(32)が形成され、ゲート電極(31)の両側における半導体基板(11)にソース領域(33)、ドレイン領域(34)が形成された絶縁ゲート型電界効果トランジスタ(30)であって、ソース領域(33)、ドレイン領域(34)よりも深い位置の半導体基板(11)に形成されたP型の第1拡散層(12)と、第1拡散層(12)よりも深い位置の半導体基板(11)に形成された第1拡散層(12)よりも高濃度のP型の第2拡散層(13)とを備えたもので、固体撮像装置の出力回路を構成するもので半導体基板に形成された絶縁ゲート型電界効果トランジスタの一部もしくは全てに用いることができる。

明細書

絶縁ゲート型電界効果トランジスタとその製造方法、および撮像装置とその製造方法

5

技術分野

本発明は、絶縁ゲート型電界効果トランジスタとその製造方法および撮像装置とその製造方法に関し、詳しくはパンチスルーやインジェクションの発生を抑えた絶縁ゲート型電界効果トランジスタとその製造方法および撮像装置とその製造方法に関する。

10

背景技術

従来、CCD撮像素子の出力回路を構成するMOS及びMONOSトランジスタには、高利得を得るためバックゲートを空乏化させているものを用いている。

15

従来から知られているCCD（電荷結合型）撮像素子の出力回路を構成するドライブトランジスタを、第9図の概略構成断面図によって説明する。第9図に示すように、N型の半導体基板11上にはゲート絶縁膜31を介してゲート電極32が形成され、このゲート電極32の両側における上記半導体基板11にはP型のソース領域33、ドレイン領域34が形成されている。またこのソース領域33、ドレイン領域34よりも深い位置の上記半導体基板11にはP⁺型の拡散層22が形成されている。このように、ドライブトランジスタ300が構成されている。

20

上記ドライブトランジスタ300のチャネル下部のポテンシャルを、第10図のポテンシャル図によって説明する。第10図

25

に示すように、ドライブトランジスタ 300 では、ソースフォロア型出力回路として高利得を得るため、バックゲートを空乏化させている。

次に、従来から知られている、CCD 撮像装置の出力回路の定電流トランジスタを第 11 図の概略構成断面図によって説明する。第 11 図に示すように、N 型の半導体基板 11 上にはゲート絶縁膜 41 を介してゲート電極 42 が形成され、このゲート電極 42 の両側における上記半導体基板 11 には P 型のソース領域 43、ドレイン領域 44 が形成されている。このソース領域 43、ドレイン領域 44 間における半導体基板 11 に、ゲート電極 42 側に半導体基板 11 領域を残した状態で N⁺ 型の拡散層 45 が形成されている。またこのソース領域 43、ドレイン領域 44 よりも深い位置の上記半導体基板 11 には P⁺ 型の拡散層 22 が形成されている。このように、定電流トランジスタ 400 が構成されている。

上記定電流トランジスタ 400 のチャネル下部のポテンシャルを、第 12 図のポテンシャル図によって説明する。第 12 図に示すように、定電流トランジスタ 400 のバックゲートがいわゆるニュートラル状態（ポテンシャル 0 の状態）となっている。定電流トランジスタ 400 では、利得は必要無いため、バックゲートをニュートラルにしたものの他に、空乏化させたものも存在する。また第 10 図に示されたドライブトランジスタ 300 のポテンシャルと第 12 図に示された定電流トランジスタ 400 のポテンシャルとを比較すると、利得や周波数特性をふまえた最適な動作点を得るためにチャネルポテンシャルは異なり、結合容量が異なっている。

さらに、ドライブトランジスタと定電流トランジスタとでは、基板とチャンネルとの結合容量が異なっており、第 13 図に示す電子シャッタ印加時におけるドライブトランジスタ 300 のチャンネル下のポテンシャル図、および第 14 図に示す電子シャッタ印加時における定電流トランジスタ 400 のチャンネル下のポテンシャル図によれば、チャンネルが受けるバックゲート効果に差が現われることがわかる。この状態で電子シャッタを印加した際、出力回路の動作点の変動し、撮像画質にレベルの段差が現われる「シャッタ段差」が生ずる。

- 10 また、CCD 撮像装置に内蔵される MOS トランジスタおよび MONOS トランジスタ等の絶縁ゲート型電界効果トランジスタは多様化しており、動作点およびチャンネルポテンシャルもさまざまな形態が存在する。例えば前記第 11 図と同様な構成をとるリセットゲートのように、目的として高利得特性が必要なトランジスタがある。このようなりセットゲートトランジスタでは、
15 第 15 図のポテンシャル図に示すような電子シャッタ印加時における従来のリセットゲートトランジスタのチャンネル下のポテンシャルを示す。図面において、破線で示すポテンシャル曲線は電子シャッタ印加前であり、実線で示すポテンシャル曲線は電子シャッタ印加後である。電子シャッタを印加した後では、ポテンシャル差が小さくなるためにチャンネルから基板へのパンチスルーまたは基板からチャンネルへのインジェクションが起こりやすくなる。

- 20 しかしながら、撮像装置の出力回路におけるソースフォロアのドライブトランジスタや定電流トランジスタは、利得や周波数特性をふまえた最適な動作点を得るために、バックゲートのポテン

シャルが異なっている。このため、電子シャッタを印加した際にはドライブトランジスタと定電流トランジスタのバックゲート効果の違いにより出力レベルが変動する現象（以降、「シャッタ段差」という）が発生し、撮像画質に出力の段差が現われる不具合が起こりやすい。

また、近年はさらに高利得化をはかるため、定電流トランジスタのチャネルポテンシャルが高くなってきており、チャネルから基板へのパンチスルーが起こりやすくなっている。さらに、バイアス回路などの多様な回路をCCD撮像装置へ内蔵するようにもなっている。それらを構成するトランジスタや、リセットゲートについても目的によっては高利得のためバックゲートを空乏化させているものがある。これらも同様にパンチスルーや、基板からのインジェクションが発生しやすい。

本発明は、シャッタ段差の発生を抑制し、またパンチスルーやインジェクションの発生を抑制した絶縁ゲート型電界効果トランジスタおよびそれを用いた撮像装置およびそれらの製造方法を提供することを課題としている。

発明の開示

本発明は、上記課題を解決するためになされた絶縁ゲート型電界効果トランジスタとその製造方法および撮像装置とその製造方法である。

本発明の絶縁ゲート型電界効果トランジスタは、半導体基板上にゲート絶縁膜を介してゲート電極が形成され、前記ゲート電極の両側における前記半導体基板にソース、ドレイン領域が形成された絶縁ゲート型電界効果トランジスタであって、前記ソース、

ドレイン領域よりも深い位置の前記半導体基板に形成されたP型の第1拡散層と、前記第1拡散層よりも深い位置の前記半導体基板に形成された前記第1拡散層よりも高濃度のP型の第2拡散層とを備えたものである。

- 5 上記絶縁ゲート型電界効果トランジスタでは、第1拡散層よりも深い位置の半導体基板に第1拡散層よりも高濃度のP型の第2拡散層を備えたことから、半導体基板の深い位置にポテンシャルのニュートラル状態を作り出すことができる。このため、電荷のぶれが少なくなり、パンチスルーやインジェクションを起こし
- 10 難くなる。

- 本発明の絶縁ゲート型電界効果トランジスタの製造方法は、半導体基板上にゲート絶縁膜を介してゲート電極が形成され、前記ゲート電極の両側における前記半導体基板にソース、ドレイン領域が形成された絶縁ゲート型電界効果トランジスタの製造方法
- 15 であって、予め、前記半導体基板に、前記ソース、ドレイン領域が形成される領域よりも深い位置の前記半導体基板にP型の第1拡散層を形成する工程と、前記第1拡散層よりも深い位置の前記半導体基板に前記第1拡散層よりも高濃度のP型の第2拡散層を形成する工程とを備えている。

- 20 上記絶縁ゲート型電界効果トランジスタの製造方法では、第1拡散層よりも深い位置の半導体基板に第1拡散層よりも高濃度のP型の第2拡散層を形成することから、半導体基板の深い位置にポテンシャルのニュートラル状態を作り出すことができる。このため、電荷のぶれが少ない、パンチスルーやインジェクション
- 25 を起こし難くなる絶縁ゲート型電界効果トランジスタを製造できる。

本発明の撮像装置は、電荷結合型の撮像装置において、前記撮像装置の出力回路を構成するもので半導体基板に形成された絶縁ゲート型電界効果トランジスタの一部もしくは全ては、前記絶縁ゲート型電界効果トランジスタの各ソース、ドレイン領域よりも深い位置の前記半導体基板に形成されたP型の第1拡散層と、
5 前記第1拡散層よりも深い位置の前記半導体基板に形成された前記第1拡散層よりも高濃度のP型の第2拡散層とを備えたものである。

上記撮像装置では、出力回路を構成するもので半導体基板に形成された絶縁ゲート型電界効果トランジスタの一部もしくは全てに本発明の絶縁ゲート型電界効果トランジスタを用いることから、撮像装置の電子シャッタを動作させるために基板に高い電圧をかけても、絶縁ゲート型電界効果トランジスタは、基板の深い位置におけるポテンシャルのニュートラル状態が変動しない
10 15 ので、チャネルへの電荷の影響が抑制される。

本発明の撮像装置の製造方法は、電荷結合型の撮像装置の製造方法において、前記撮像装置の出力回路を構成する絶縁ゲート型電界効果トランジスタの一部もしくは全てを形成する際に、予め、前記絶縁ゲート型電界効果トランジスタが形成される半導体基板に、前記ドライフトランジスタと前記定電流トランジスタの各ソース、ドレイン領域が形成される領域よりも深い位置の前記半導体基板にP型の第1拡散層を形成する工程と、前記第1拡散層よりも深い位置の前記半導体基板に前記第1拡散層よりも高濃度のP型の第2拡散層を形成する工程とを行う。

20 25 上記撮像装置の製造方法では、撮像装置の出力回路を構成する絶縁ゲート型電界効果トランジスタの一部もしくは全てを本発

明の絶縁ゲート型電界効果トランジスタで形成することから、撮
像装置の電子シャッタを動作させるために基板に高い電圧をか
けても、出力回路を構成する絶縁ゲート型電界効果トランジスタ
は、基板の深い位置におけるポテンシャルのニュートラル状態が
5 変動しないものとなっているので、チャンネルへの電荷の影響が抑
制される。

図面の簡単な説明

第 1 図は、本発明の絶縁ゲート型電界効果トランジスタに係る
10 第 1 実施の形態を示す概略構成断面図である。

第 2 図は、第 1 実施の形態で説明した絶縁ゲート型電界効果ト
ランジスタのチャンネル下のポテンシャル図である。

第 3 図は、本発明の絶縁ゲート型電界効果トランジスタに係る
第 2 実施の形態を示す概略構成断面図である。

15 第 4 図は、第 2 実施の形態で説明した絶縁ゲート型電界効果ト
ランジスタのチャンネル下のポテンシャル図である。

第 5 図は、本発明の撮像装置に係る実施の形態を示す（１）Ｃ
ＣＤ撮像装置全体図と（２）出力回路図である。

第 6 図は、撮像装置の実施の形態に係るドライブトランジスタ
20 のチャンネル下のポテンシャル図である。

第 7 図は、撮像装置の実施の形態に係る定電流トランジスタの
チャンネル下のポテンシャル図である。

第 8 図は、本発明の撮像装置の製造方法に係る実施の形態を示
すフローチャートである。

25 第 9 図は、従来の撮像装置の出力回路に用いられていたドライ
ブトランジスタの概略構成断面図である。

第 10 図は、従来のドライブトランジスタのチャネル下のポテンシャルを示すポテンシャル図である。

第 11 図は、従来の撮像装置の出力回路に用いられていた定電流トランジスタの概略構成断面図である。

5 第 12 図は、従来の定電流トランジスタのチャネル下のポテンシャルを示すポテンシャル図である。

第 13 図は、電子シャッタ印加時における従来のドライブトランジスタのチャネル下のポテンシャルを示すポテンシャル図である。

10 第 14 図は、電子シャッタ印加時における従来の定電流トランジスタのチャネル下のポテンシャルを示すポテンシャル図である。

第 15 図は、電子シャッタ印加時における従来のリセットゲートトランジスタのチャネル下のポテンシャルを示すポテンシャル図である。

発明を実施するための最良の形態

本発明の絶縁ゲート型電界効果トランジスタに係る第 1 実施の形態を、第 1 図の概略構成断面図によって説明する。

20 第 1 図に示すように、N 型の半導体基板 11 上にはゲート絶縁膜 31 を介してゲート電極 32 が形成され、このゲート電極 32 の両側における上記半導体基板 11 には P 型のソース領域 33、ドレイン領域 34 が形成されている。

またこのソース領域 33、ドレイン領域 34 よりも深い位置の
25 上記半導体基板 11 には P⁺ 型の第 1 拡散層 12 が形成されている。この第 1 拡散層 12 は、半導体基板 11 表面より不純物濃度

のピーク位置が $0.6 \mu\text{m}$ 以下の深さにあり、好ましくは $0.15 \mu\text{m}$ 以上 $0.45 \mu\text{m}$ 以下の深さにある。また第 1 拡散層 12 の不純物濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $6 \times 10^{16} / \text{cm}^3$ 以下であり、好ましくは $1.5 \times 10^{16} / \text{cm}^3$ 以上 $3 \times 10^{16} / \text{cm}^3$ 以下である。

さらに上記第 1 拡散層 12 よりも深い位置の半導体基板 11 には第 1 拡散層 12 よりも高濃度の P^{++} 型の第 2 拡散層 13 が形成されている。この第 2 拡散層 13 は、半導体基板 11 表面より不純物濃度のピーク位置が $3 \mu\text{m}$ 以上の深さにあり、好ましくは $3.5 \mu\text{m}$ 以上 $4.5 \mu\text{m}$ 以下の深さにある。また第 2 拡散層 13 の不純物濃度は $1.5 \times 10^{16} / \text{cm}^3$ 以上 $6 \times 10^{16} / \text{cm}^3$ 以下であり、好ましくは $2 \times 10^{16} / \text{cm}^3$ 以上 $4 \times 10^{16} / \text{cm}^3$ 以下である。このように、絶縁ゲート型電界効果トランジスタ 30 が構成されている。この絶縁ゲート型電界効果トランジスタ 30 は、撮像装置の出力回路におけるドライブトランジスタに用いることができる。

次に、第 1 実施の形態の絶縁ゲート型電界効果トランジスタのポテンシャルを、第 2 図のポテンシャル図によって説明する。

上記絶縁ゲート型電界効果トランジスタ 30 では、第 1 拡散層よりも深い位置の半導体基板に第 1 拡散層よりも高濃度の P 型の第 2 拡散層を備えたことから、第 2 図に示すように、半導体基板（基板）11 の深い位置、すなわち、高濃度の P 型の第 2 拡散層 13 よりも深い位置にポテンシャルのニュートラル状態（ポテンシャル 0 の状態）を作り出すことができる。このため、電荷のぶれが少なくなり、パンチスルーやインジェクションを起こし難くなる。またこのようなトランジスタを撮像装置のソースフォロ

ワ型信号電流増幅回路のドライブトランジスタに用いた場合には、撮像装置の電子シャッタを動作させるために基板に高い電圧をかけてもポテンシャルのニュートラル状態が変動しないので、チャネルへの電荷の影響が抑制される。

- 5 次に、本発明の絶縁ゲート型電界効果トランジスタに係る第2実施の形態を、第3図の概略構成断面図によって説明する。

第3図に示すように、N型の半導体基板11上にはゲート絶縁膜41を介してゲート電極42が形成され、このゲート電極42の両側における上記半導体基板11にはP型のソース領域43、
10 ドレイン領域44が形成されている。またソース領域43、ドレイン領域44間に置ける半導体基板11には、ゲート電極42側に半導体基板11領域を残した状態でN型の拡散層45が形成されている。

さらに、上記ソース領域43、ドレイン領域44よりも深い位置の上記半導体基板11にはP⁺型の第1拡散層12が形成されている。この第1拡散層12は、半導体基板11表面より不純物濃度のピーク位置が0.6 μm以下の深さにあり、好ましくは0.15 μm以上0.45 μm以下の深さにある。また第1拡散層12の不純物濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $6 \times 10^{16} / \text{cm}^3$ 以下
20 であり、好ましくは $1.5 \times 10^{16} / \text{cm}^3$ 以上 $3 \times 10^{16} / \text{cm}^3$ 以下である。

さらに上記第1拡散層12よりも深い位置の半導体基板11には第1拡散層12よりも高濃度のP⁺⁺型の第2拡散層13が形成されている。この第2拡散層13は、半導体基板11表面より
25 不純物濃度のピーク位置が3 μm以上の深さにあり、好ましくは3.5 μm以上4.5 μm以下の深さにある。また第2拡散層1

3 の不純物濃度は $1.5 \times 10^{16} / \text{cm}^3$ 以上 $6 \times 10^{16} / \text{cm}^3$ 以下であり、好ましくは $2 \times 10^{16} / \text{cm}^3$ 以上 $4 \times 10^{16} / \text{cm}^3$ 以下である。このように、絶縁ゲート型電界効果トランジスタ 40 が構成されている。この絶縁ゲート型電界効果トランジスタ 40 は、撮像装置の出力回路における定電流トランジスタやリセットゲートトランジスタに用いることができる。

第 2 実施の形態の絶縁ゲート型電界効果トランジスタのポテンシャルを、第 4 図のポテンシャル図によって説明する。

上記絶縁ゲート型電界効果トランジスタ 40 では、第 1 拡散層よりも深い位置の半導体基板に第 1 拡散層よりも高濃度の P 型の第 2 拡散層を備えたことから、第 4 図に示すように、半導体基板（基板）11 の深い位置、すなわち、高濃度の P 型の第 2 拡散層 13 よりも深い位置にポテンシャルのニュートラル状態（ポテンシャル 0 の状態）を作り出すことができる。このため、電荷のぶれが少なくなり、パンチスルーやインジェクションを起こし難くなる。またこのようなトランジスタを撮像装置のソースフォロワ型信号電流増幅回路のドライブトランジスタに用いた場合には、撮像装置の電子シャッタを動作させるために基板に高い電圧をかけてもポテンシャルのニュートラル状態が変動しないので、チャンネルへの電荷の影響が抑制される。

上記第 1 図および第 3 図によって説明した絶縁ゲート型電界効果トランジスタは、CCD 撮像素子に内蔵されている全ての回路を構成する MOS および MONOS 型トランジスタに適用することができる。

本発明の絶縁ゲート型電界効果トランジスタ製造方法に係る第 1 実施の形態を、前記第 1 図の製造工程断面図によって説明す

る。

前記第 1 図に示すように、半導体基板 1 1 上にゲート絶縁膜 3 1、ゲート電極 3 2、および半導体基板 1 1 に 4 P 型のソース領域 3 3、ドレイン領域 3 4 を形成する前に、予め、次の 2 工程を行う。

第 1 の工程は、半導体基板 1 1 に、P 型のソース領域 3 3、ドレイン領域 3 4 が形成される領域よりも深い位置の半導体基板 1 1 に P 型の不純物をドーピングして第 1 拡散層 1 2 を形成する。この第 1 拡散層 1 2 は、半導体基板 1 1 表面より不純物濃度のピーク位置が $0.6 \mu\text{m}$ 以下の深さになり、好ましくは $0.15 \mu\text{m}$ 以上 $0.45 \mu\text{m}$ 以下の深さになるようにする。および第 1 拡散層 1 2 の不純物濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $6 \times 10^{16} / \text{cm}^3$ 以下となり、好ましくは $1.5 \times 10^{16} / \text{cm}^3$ 以上 $3 \times 10^{16} / \text{cm}^3$ 以下となるようにする。上記不純物のドーピングは、例えばイオン注入方により行われる。そのときのドーズ量、注入エネルギー等は、上記不純物濃度のピーク位置となるようにおよび不純物濃度となるように、適宜設定する。

第 2 の工程は、上記第 1 拡散層 1 2 よりも深い位置の半導体基板 1 1 に第 1 拡散層 1 2 よりも高濃度の P⁺⁺型の第 2 拡散層 1 3 を形成する。この第 2 拡散層 1 3 は、半導体基板 1 1 表面より不純物濃度のピーク位置が $3 \mu\text{m}$ 以上の深さになり、好ましくは $3.5 \mu\text{m}$ 以上 $4.5 \mu\text{m}$ 以下の深さになるようにする。および第 2 拡散層 1 3 の不純物濃度は、 $1.5 \times 10^{16} / \text{cm}^3$ 以上 $6 \times 10^{16} / \text{cm}^3$ 以下となり、好ましくは $2 \times 10^{16} / \text{cm}^3$ 以上 $4 \times 10^{16} / \text{cm}^3$ 以下となるようにする。上記不純物のドーピングは、例えばイオン注入方により行われる。そのときのドーズ量、注入

エネルギー等は、上記不純物濃度のピーク位置となるようにおよび不純物濃度となるように、適宜設定する。例えば、3 MeV以上の高エネルギーかつ $1 \times 10^{12} / \text{cm}^2$ 以上のドーズ量でP型不純物（例えばホウ素（ B^+ ）、二フッ化ホウ素（ BF_2^+ ）等）

5 を注入することにより実現できる。

その後、通常のトランジスタ形成技術によって、上記半導体基板11に、ゲート絶縁膜31、ゲート電極32、4P型のソース領域33、ドレイン領域34を形成する。なお、上記第1拡散層12を形成する第1の工程と第2拡散層13を形成する第2の
10 工程とはどちらを先に行ってもよい。

上記絶縁ゲート型電界効果トランジスタ30の製造方法では、第1拡散層12よりも深い位置の半導体基板11に第1拡散層12よりも高濃度の P^{++} 型の第2拡散層13を形成することから、半導体基板11の深い位置、すなわち、高濃度のP型の第2拡散層13よりも深い位置にポテンシャルのニュートラル状態（ポテンシャル0の状態）を作り出すことができる。このため、電荷のぶれが少なくなり、パンチスルーやインジェクションを起こし難くなる。またこのようなトランジスタを撮像装置のソースフォロ
15 ワ型信号電流増幅回路のドライブトランジスタに用いた場合には、撮像装置の電子シャッタを動作させるために基板に高い電圧をかけてもポテンシャルのニュートラル状態が変動しないので、チャンネルへの電荷の影響が抑制される。

本発明の絶縁ゲート型電界効果トランジスタ製造方法に係る第2実施の形態を、前記第3図の製造工程断面図によって説明す
25 る。

前記第3図に示すように、絶縁ゲート型電界効果トランジスタ

40の製造方法は、前記第1実施の形態と同様に、半導体基板11に、P型のソース領域43、ドレイン領域44が形成される領域よりも深い位置の半導体基板11にP型の不純物をドーピングして第1拡散層12を形成する第1の工程と、上記第1拡散層12よりも深い位置の半導体基板11に第1拡散層12よりも高濃度の P^{++} 型の第2拡散層13を形成する第2の工程とを行った後に、半導体基板11のソース領域43、ドレイン領域44が形成される間の領域に、半導体基板11表面側に半導体基板11領域を残した状態で前記第1拡散層12よりも浅い位置にN型の拡散層45を形成する。なお、上記第1拡散層12、第2拡散層13、N型の拡散層45の形成順は一例であって、どの拡散層を先に形成してもよく、その形成順は問わない。その後、通常のトランジスタ形成技術によって、半導体基板11上に、ゲート絶縁膜41、ゲート電極42、P型のソース領域43、ドレイン領域44を形成すればよい。

上記絶縁ゲート型電界効果トランジスタ40の製造方法では、第1拡散層12よりも深い位置の半導体基板11に第1拡散層12よりも高濃度の P^{++} 型の第2拡散層13を形成することから、半導体基板11の深い位置、すなわち、高濃度のP型の第2拡散層13よりも深い位置にポテンシャルのニュートラル状態（ポテンシャル0の状態）を作り出すことができる。このため、電荷のぶれが少なくなり、パンチスルーやインジェクションを起こし難くなる。またこのようなトランジスタを撮像装置のソースフォロワ型信号電流増幅回路の定電流トランジスタに用いた場合には、撮像装置の電子シャッタを動作させるために基板に高い電圧をかけてもポテンシャルのニュートラル状態が変動しないので、チ

チャネルへの電荷の影響が抑制される。

本発明の撮像装置に係る実施の形態を、前記第 5 図の (1) C D 撮像装置全体図と (2) 出力回路図および前記第 1 図と第 3 図によって説明する。

- 5 前記第 5 図に示すように、撮像装置 1 は、概略、マトリックス状に配置された受光センサ 2 と各受光センサ列に隣接して配置された垂直レジスタ 3 とで構成される受光部 4 と水平レジスタ 5 と出力回路部 6 とで構成されている。撮像装置 1 に光が入射すると、上記受光部 4 の受光センサ 2 によって電気信号に変換され、
- 10 垂直レジスタ 3、水平レジスタ 5 を通って出力回路 6 より出力される。図中の矢印は信号転送方向を示す。

- この出力回路 6 は、図 (2) に示すように、ソースフォロワ型電流増幅回路であり、そのドライブトランジスタ 7 は前記第 1 図によって説明した構成の絶縁ゲート型電界効果トランジスタ 3
- 15 0 からなり、定電流トランジスタ 8 は前記第 3 図によって説明した絶縁ゲート型電界効果トランジスタ 4 0 からなっている。また、図示はしていないが、上記撮像装置 1 のリセットゲートトランジスタにも前記第 3 図によって説明した絶縁ゲート型電界効果トランジスタ 4 0 の構成を採用することができる。このように、撮
- 20 像装置 1 では、その出力回路 6 を構成するもので半導体基板に形成された絶縁ゲート型電界効果トランジスタの一部もしくは全てに前記第 1 図もしくは前記第 3 図によって説明した絶縁ゲート型電界効果トランジスタを採用することができる。

- 上記撮像装置 1 では、出力回路 6 を構成するもので半導体基板
- 25 に形成されたドライブトランジスタの一部もしくは全てに本発明の絶縁ゲート型電界効果トランジスタを用いることから、撮像

装置 1 の電子シャッタを動作させるために半導体基板に高い電圧をかけても、絶縁ゲート型電界効果トランジスタは、半導体基板の深い位置におけるポテンシャルのニュートラル状態が変動しないので、チャンネルへの電荷の影響が抑制される。このことを以下に説明する。

上記撮像装置 1 の実施の形態に係るドライブトランジスタのポテンシャルを、第 6 図のポテンシャル図によって説明する。

上記ドライブトランジスタ 7（絶縁ゲート型電界効果トランジスタ 30）では、第 1 拡散層 12 よりも深い位置の半導体基板 11 に第 1 拡散層 12 よりも高濃度の P 型の第 2 拡散層 13 を備えたことから、第 6 図に示すように、半導体基板 11 の深い位置、すなわち、高濃度の P 型の第 2 拡散層 13 よりも深い位置にポテンシャルのニュートラル状態（ポテンシャル 0 の状態）を作り出すことができる。これにより、電子シャッタを印加しても、ポテンシャル変動が極めて少なくなり、バックゲートが通常の動作領域全域においてニュートラルとなって、バックゲート効果およびチャンネルと半導体基板との間の電荷流入が起こらなくなる。しかも第 2 拡散層 13 を形成するために P 型不純物を高エネルギーで注入しているため、チャンネルとの結合容量は極めて小さく、トランジスタのポテンシャル変動、利得特性には影響を及ぼさない。このため、電荷のぶれが少なくなり、パンチスルーやインジェクションを起こし難くなる。このように、撮像装置 1 の電子シャッタを動作させるために半導体基板 11 に高い電圧をかけてもポテンシャルのニュートラル状態が変動しないので、チャンネルへの電荷の影響が抑制され、安定した撮像画質の出力が得られる。図面において、破線で示すポテンシャル曲線は電子シャッタ印加前

であり、実線で示すポテンシャル曲線は電子シャッタ印加後である。

次に、上記撮像装置 1 の実施の形態に係る定電流トランジスタのポテンシャルを、第 7 図のポテンシャル図によって説明する。

5 第 7 図に示すように、上記定電流トランジスタ 8（絶縁ゲート型電界効果トランジスタ 40）では、第 1 拡散層 12 よりも深い位置の半導体基板 11 に第 1 拡散層 12 よりも高濃度の P 型の第 2 拡散層 13 を備えたことから、半導体基板 11 の深い位置、すなわち、高濃度の P 型の第 2 拡散層 13 よりも深い位置にポテンシャルのニュートラル状態（ポテンシャル 0 の状態）を作り出すことができる。これにより、ポテンシャル変動が極めて少なくなり、バックゲートが通常の動作領域全域においてニュートラルとなつて、バックゲート効果及びチャネルと半導体基板との間の電荷流入が起こらなくなる。しかも第 2 拡散層 13 を形成するため
10 15 20 25

に P 型不純物を高エネルギーで注入しているため、チャネルとの結合容量は極めて小さく、トランジスタのポテンシャル変動、利得特性には影響を及ぼさない。このため、電荷のぶれが少なくなり、パンチスルーやインジェクションを起こし難くなる。このように、撮像装置 1 の電子シャッタを動作させるために半導体基板 11 に高い電圧をかけてもポテンシャルのニュートラル状態が変動しないので、チャネルへの電荷の影響が抑制され、安定した撮像画質の出力が得られる。図面において、破線で示すポテンシャル曲線は電子シャッタ印加前であり、実線で示すポテンシャル曲線は電子シャッタ印加後である。

次に、本発明の撮像装置の製造方法について説明する。本発明の撮像装置の製造方法は、一般に知られている電荷結合型の撮像

装置の製造方法において、撮像装置の出力回路を構成する絶縁ゲート型電界効果トランジスタの一部もしくは全てを形成する際に、予め次の2工程を行う。第1の工程は、絶縁ゲート型電界効果トランジスタが形成される半導体基板に、絶縁ゲート型電界効果トランジスタのソース、ドレイン領域が形成される領域よりも深い位置の半導体基板にP型の第1拡散層を形成する工程である。第2の工程は、第1拡散層よりも深い位置の半導体基板に第1拡散層よりも高濃度のP型の第2拡散層を形成する工程である。この第1の工程と第2の工程はどちらを先に行ってもよい。

次に、第8図のフローチャートによって、撮像装置の出力回路部分を形成する工程を説明する。

第8図に示すように、先ずN-型エピタキシャル層を有するエピタキシャル(Epi)基板を形成する。次に、CCD受光部が形成される領域をマスクして、出力回路のトランジスタ形成領域に第1拡散層と第2拡散層とを形成するための不純物ドーピングを、例えばイオン注入法を用いて行う。このとき、第1拡散層の不純物濃度ピークの位置、不純物濃度、第2拡散層の不純物濃度ピークの位置、不純物濃度は、第1図および第3図を用いて先に説明した絶縁ゲート型電界効果トランジスタの条件と同一である。

次に、トランジスタ形成領域にチャネル形成用の不純物を半導体基板にドーピングする。このときもCCD受光部が形成される領域はマスクしておく。

次いで、上記ドーピングに用いたマスクを除去した後、出力回路のトランジスタ形成領域にゲート絶縁膜を形成するとともに受光部の転送電極間の絶縁膜を形成する。続いて、出力回路のト

ランジスタ形成領域にゲート電極を形成するとともに受光部の転送電極を形成する。

次いで、受光部領域をマスクして、トランジスタ形成領域にソース、ドレインとなる拡散層を形成する。さらに、受光部領域を
5 マスクして、トランジスタ形成領域の結線工程を行う。

上記撮像装置の製造方法では、撮像装置の出力回路を構成する絶縁ゲート型電界効果トランジスタの一部もしくは全てを本発明の絶縁ゲート型電界効果トランジスタで形成することから、撮
10 像装置の電子シャッタを動作させるために基板に高い電圧をかけても、出力回路を構成する絶縁ゲート型電界効果トランジスタは、基板の深い位置におけるポテンシャルのニュートラル状態が変動しないものとなっているので、チャネルへの電荷の影響が抑制される。

以上、説明したように本発明の絶縁ゲート型電界効果トランジ
15 スタによれば、第1拡散層よりも深い位置の半導体基板に第1拡散層よりも高濃度のP型の第2拡散層を備えたので、半導体基板の深い位置にポテンシャルのニュートラル状態を作り出すことができる。このため、電荷のぶれが少なくなり、パンチスルーやインジェクションを起こし難くなる。またこのようなトランジスタを撮像装置のソースフォロワ型信号電流増幅回路のドライブ
20 トランジスタに用いた場合には、撮像装置の電子シャッタを動作させるために基板に高い電圧をかけてもポテンシャルのニュートラル状態が変動しないので、チャネルへの電荷の影響を抑制できる。

25 本発明の絶縁ゲート型電界効果トランジスタの製造方法によれば、第1拡散層よりも深い位置の半導体基板に第1拡散層より

も高濃度のP型の第2拡散層を形成するので、半導体基板の深い位置にポテンシャルのニュートラル状態を作り出すことができる。このため、電荷のぶれが少ない、パンチスルーやインジェクションを起こし難くなる絶縁ゲート型電界効果トランジスタを製造できる。また固体撮像装置のソースフォロワ型信号電流増幅回路のトランジスタにこのような絶縁ゲート型電界効果トランジスタを形成した場合には、撮像装置の電子シャッタを動作させるために基板に高い電圧をかけてもポテンシャルのニュートラル状態が変動しないので、チャネルへの電荷の影響が抑制されるトランジスタを形成することができる。

本発明の撮像装置によれば、出力回路を構成するもので半導体基板に形成された絶縁ゲート型電界効果トランジスタの一部もしくは全てに本発明の絶縁ゲート型電界効果トランジスタを用いるので、撮像装置の電子シャッタを動作させるために基板に高い電圧をかけても、絶縁ゲート型電界効果トランジスタは、基板の深い位置におけるポテンシャルのニュートラル状態が変動しないので、チャネルへの電荷の影響を抑制することができる。よって、シャッタ段差の不具合の発生を解消することができる。また、撮像装置の内蔵回路を構成するトランジスタやリセットゲートにおいて、半導体基板とのパンチスルーおよびインジェクションによる不具合の発生を無くすることができる。

本発明の撮像装置の製造方法によれば、撮像装置の出力回路を構成する絶縁ゲート型電界効果トランジスタの一部もしくは全てを本発明の絶縁ゲート型電界効果トランジスタで形成するので、撮像装置の電子シャッタを動作させるために基板に高い電圧をかけても、出力回路を構成する絶縁ゲート型電界効果トランジ

- スタは、基板の深い位置におけるポテンシャルのニュートラル状態が変動しないものとなり、チャネルへの電荷の影響を抑制することができるものとなる。よって、シャッタ段差の不具合の発生を解消することができる撮像装置を製造することができる。また、
- 5 撮像装置の内蔵回路を構成するトランジスタやリセットゲートにおいて、半導体基板とのパンチスルーおよびインジェクションによる不具合の発生が無い撮像装置を製造することができる。

請求の範囲

1. 基板上にゲート絶縁膜を介してゲート電極が形成され、前記ゲート電極の両側における前記基板にソース、ドレイン領域が形成された絶縁ゲート型電界効果トランジスタであって、

前記ソース、ドレイン領域よりも深い位置の前記基板に形成された第1導電型の第1拡散層と、

前記第1拡散層よりも深い位置の前記基板に形成された前記第1拡散層よりも高濃度の第1導電型の第2拡散層と

10 を含む絶縁ゲート型電界効果トランジスタ。

2. 前記ソース、ドレイン領域間に置ける前記基板に、前記ゲート電極側に前記基板領域を残した状態で第2導電型の拡散層が形成されている、請求の範囲第1項に記載の絶縁ゲート型電界効果トランジスタ。

15 3. 前記第1導電型はP型、前記第2導電型はN型である、請求の範囲第2項に記載の絶縁ゲート型電界効果トランジスタ。

4. 基板上にゲート絶縁膜を介してゲート電極を形成し、前記ゲート電極の両側における前記基板にソース、ドレイン領域を形成する絶縁ゲート型電界効果トランジスタの製造方法であって、

20 予め、前記基板に、前記ソース、ドレイン領域が形成される領域よりも深い位置の前記基板に第1導電型の第1拡散層を形成する工程と、

前記第1拡散層よりも深い位置の前記基板に前記第1拡散層よりも高濃度の第1導電型の第2拡散層を形成する工程と

25 を含む絶縁ゲート型電界効果トランジスタの製造方法。

5. 予め、前記基板の前記ソース、ドレイン領域が形成される

間の領域に、前記基板表面側に前記基板領域を残した状態でN型の拡散層を形成する、請求の範囲第4項に記載の絶縁ゲート型電界効果トランジスタの製造方法。

6. 撮像装置における出力回路を構成するもので基板に形成された絶縁ゲート型電界効果トランジスタの一部もしくは全てが、
5 前記絶縁ゲート型電界効果トランジスタの各ソース、ドレイン領域よりも深い位置の前記基板に形成された第1導電型の第1拡散層と、

- 前記第1拡散層よりも深い位置の前記基板に形成された前記
10 第1拡散層よりも高濃度の第1導電型の第2拡散層と
を含む撮像装置。

7. 撮像装置における出力回路を構成するもので基板に形成された絶縁ゲート型電界効果トランジスタの一部もしくは全てを製造する方法において、

- 15 予め、前記絶縁ゲート型電界効果トランジスタが形成される基板に、前記絶縁ゲート型電界効果トランジスタのソース、ドレイン領域が形成される領域よりも深い位置の前記基板に第1導電型の第1拡散層を形成する工程と、

- 前記第1拡散層よりも深い位置の前記基板に前記第1拡散層
20 よりも高濃度の第1導電型の第2拡散層を形成する工程と
を含む撮像装置の製造方法。

1/9

Fig.1

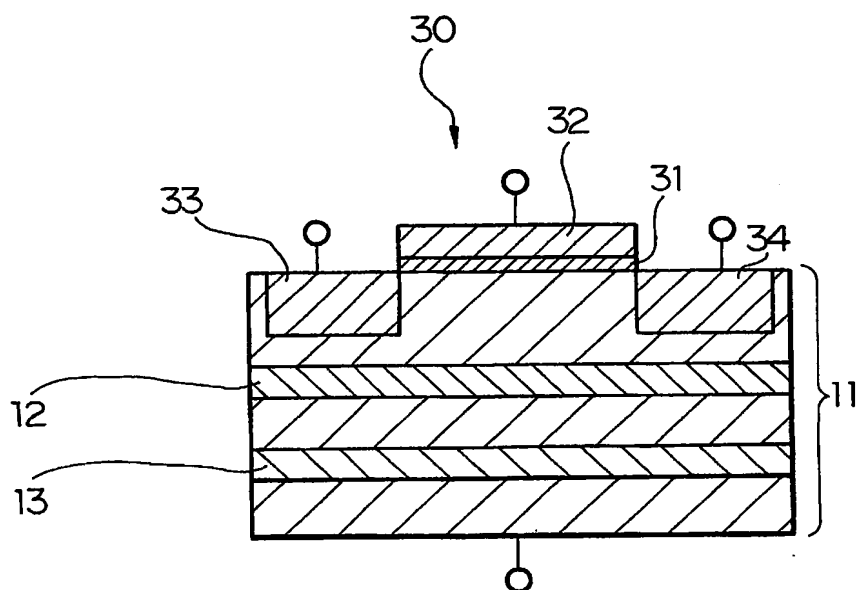
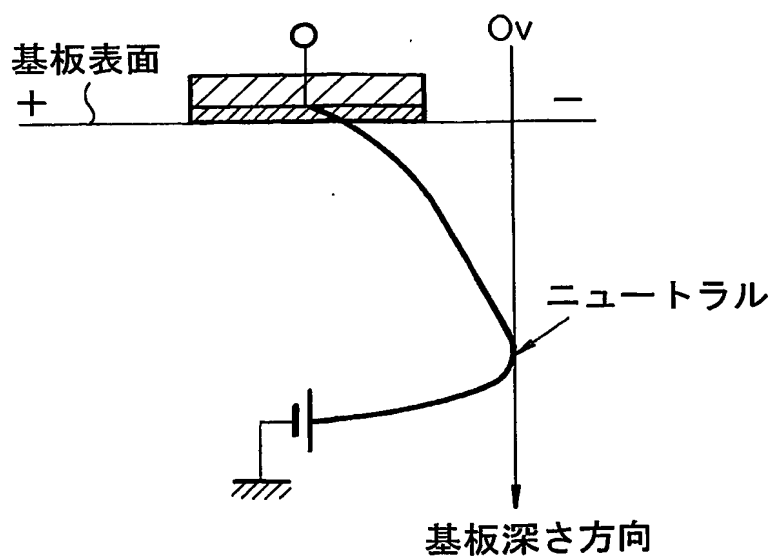


Fig.2



2/9

Fig.3

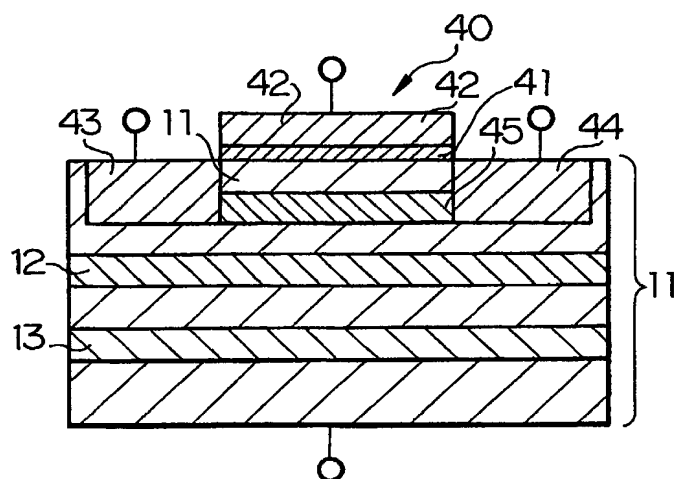


Fig.4

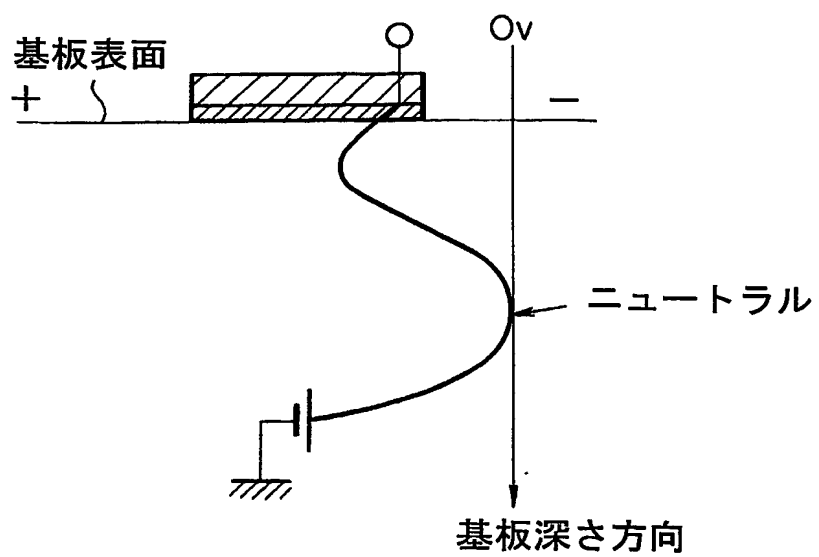


Fig.5

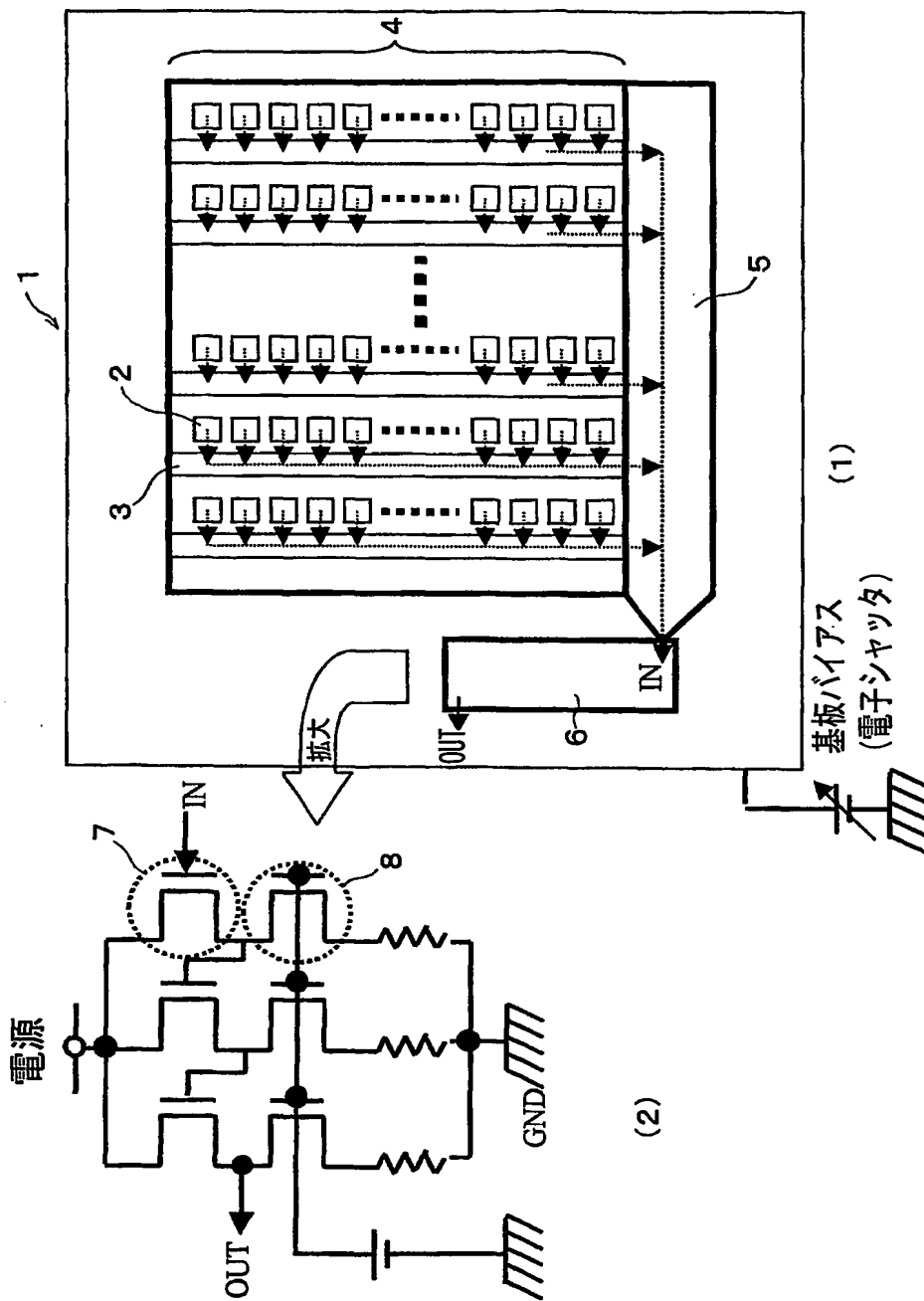


Fig.6

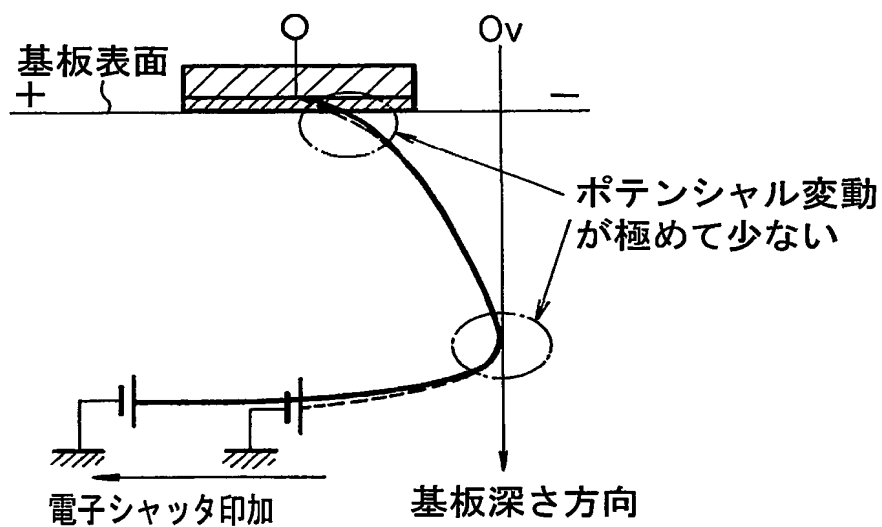


Fig.7

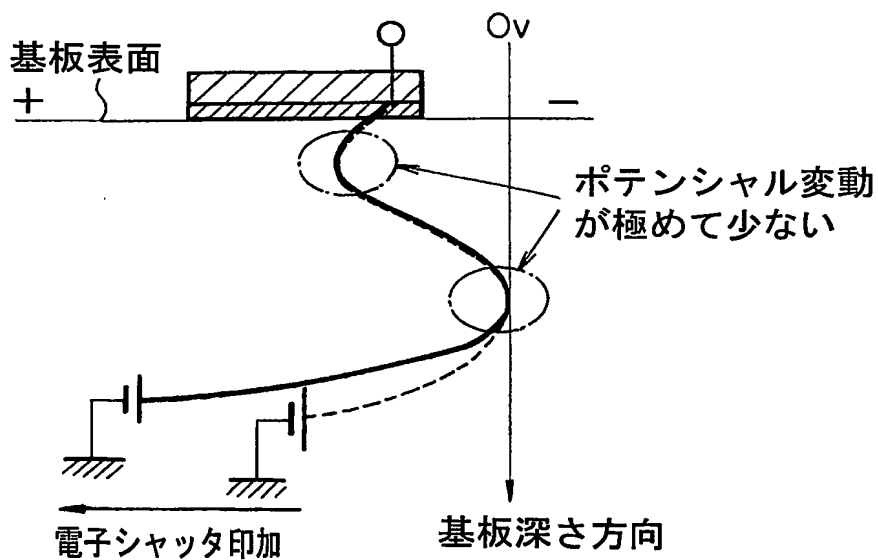
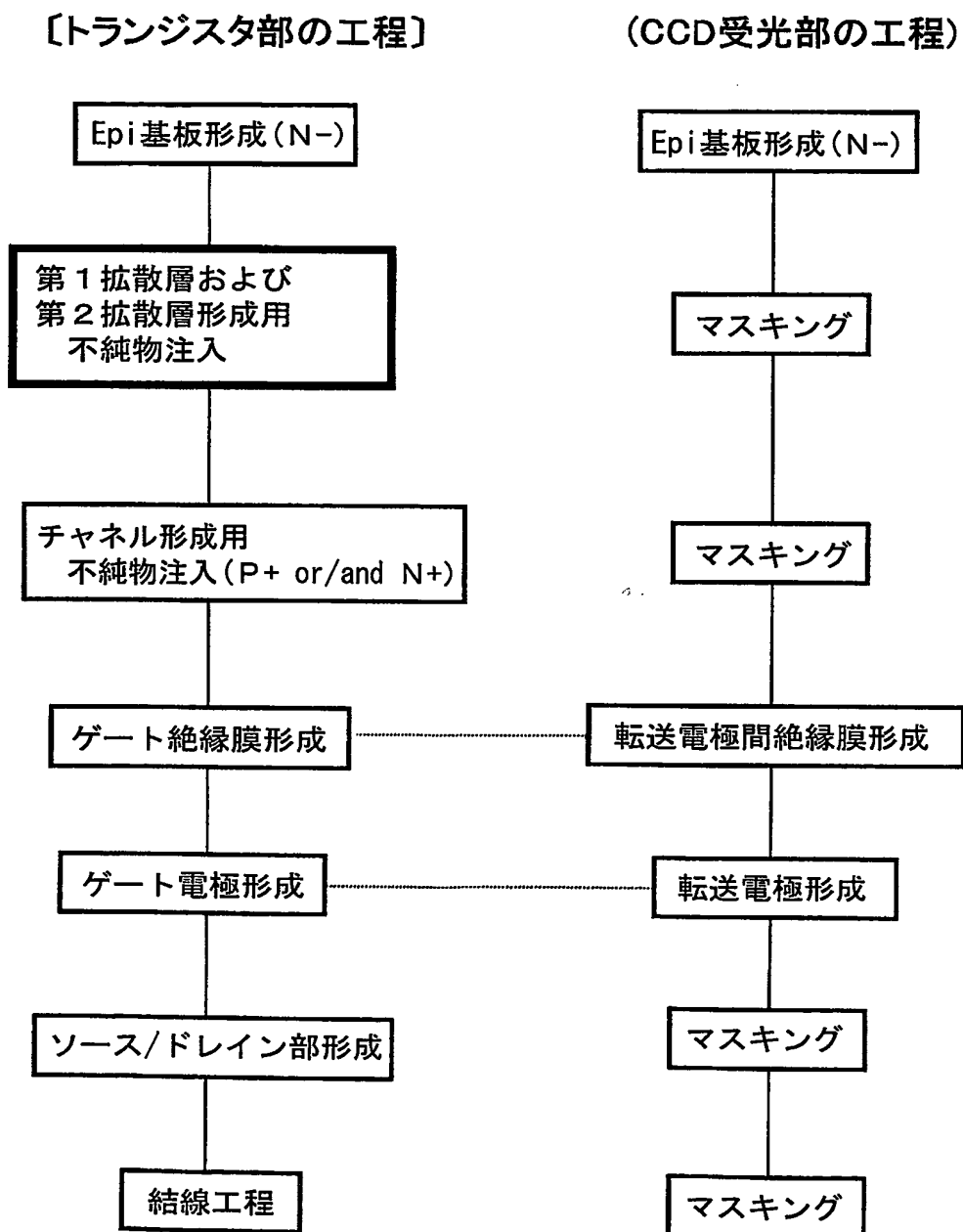


Fig.8



6/9

Fig.9

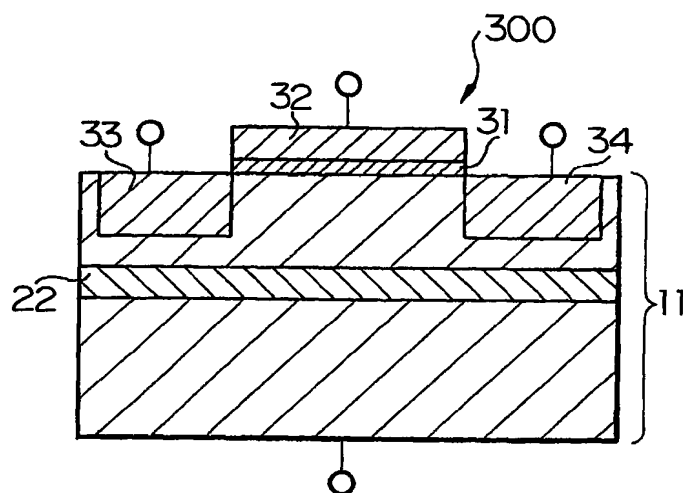


Fig.10

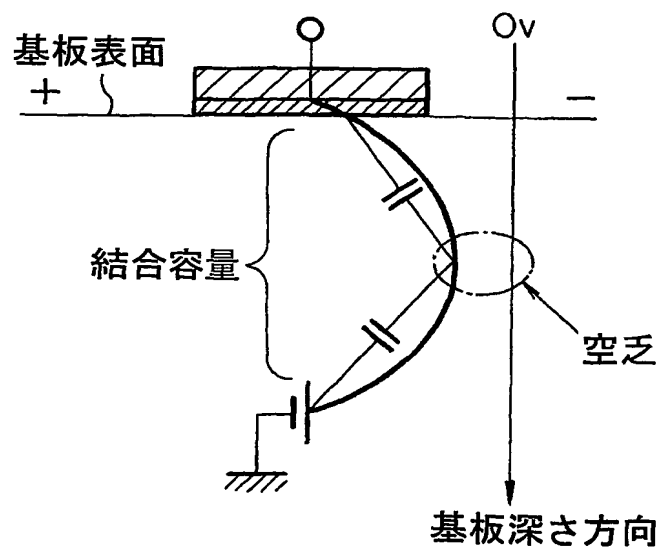


Fig.11

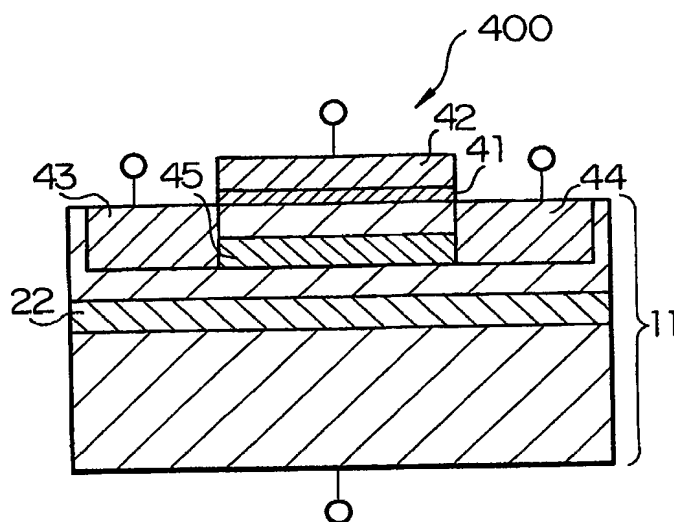
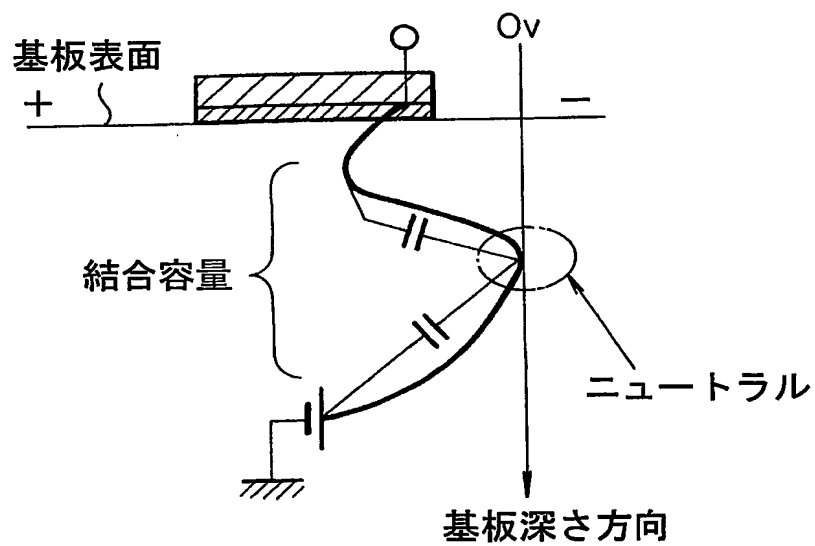


Fig.12



8/9

Fig.13

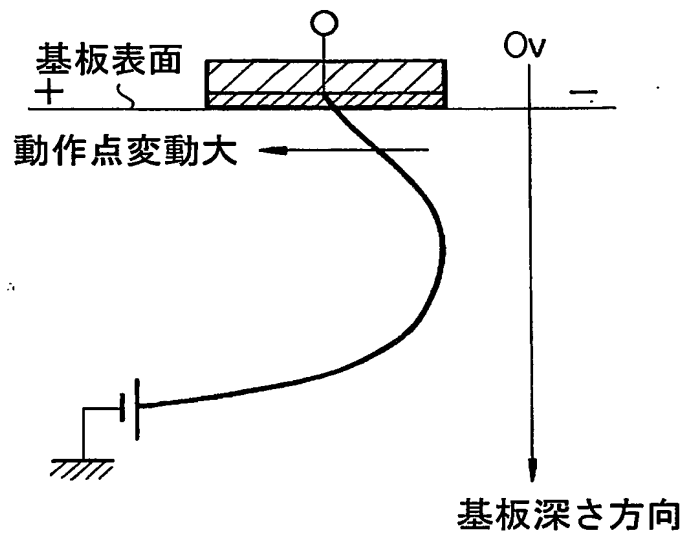


Fig.14

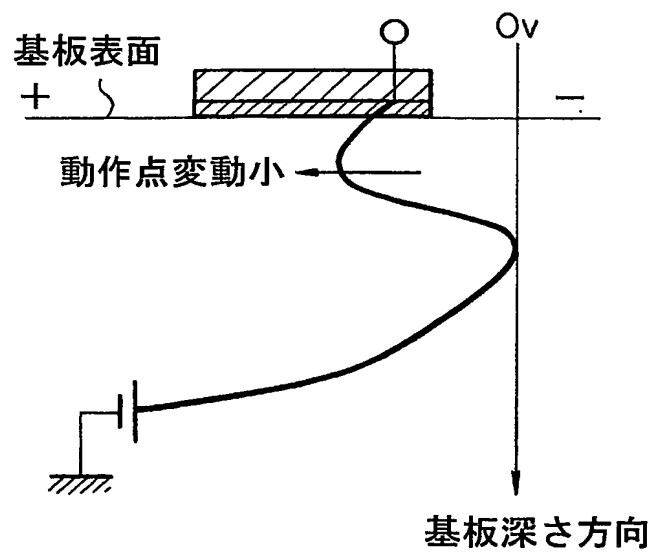
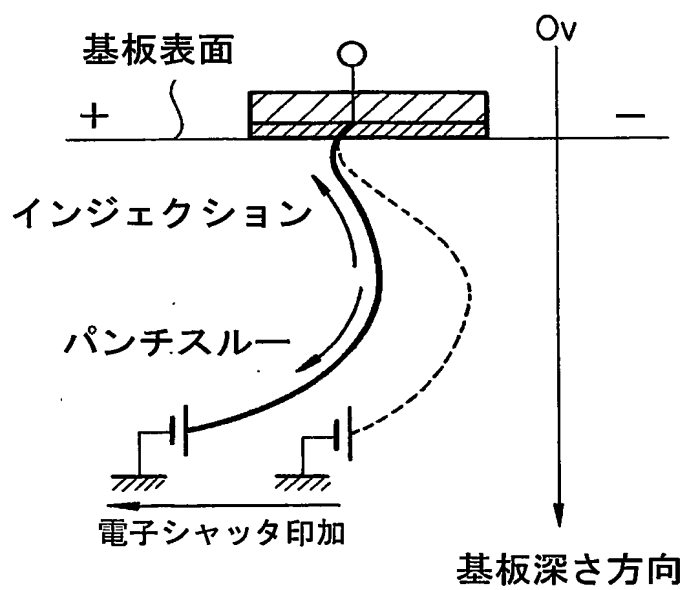


Fig.15



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/10408

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/762, H01L29/78, H01L21/336, H01L21/339, H01L27/14, H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/762, H01L29/78, H01L21/336, H01L21/339, H01L27/14, H04N5/335, H01L27/06-27/092

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
JOIS, Web of Science

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-83888 A (Sanyo Electric Co., Ltd.), 22 March, 2002 (22.03.02), Par. Nos. [0013] to [0021] N-channel type MOS transistor(10) (Family: none)	1, 4 2, 3, 5
Y	JP 5-335564 A (Fujitsu Ltd.), 17 December, 1993 (17.12.93), Par. Nos. [0017] to [0025] (Family: none)	2, 3, 5
A	EP 517164 A1 (SONY CORP.), 09 December, 1992 (09.12.92), Full text & JP 4-357873 A Full text & US 5202907 A & SG 63631 A1	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
10 November, 2003 (10.11.03)

Date of mailing of the international search report
25 November, 2003 (25.11.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/10408

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-297295 A (Sony Corp.), 10 November, 1995 (10.11.95), Full text (Family: none)	1-7
A	JP 2001-230406 A (NEC Corp.), 24 August, 2001 (24.08.01), Full text (Family: none)	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/762, H01L29/78, H01L21/336, H01L21/339,
H01L27/14, H04N5/335

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/762, H01L29/78, H01L21/336, H01L21/339,
H01L27/14, H04N5/335, H01L27/06-27/092

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国実用新案登録公報 1996-2003年
日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JOIS
Web of Science

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-83888 A (三洋電機株式会社) 2002.03.22, 段落番号【0013】-【0021】の	1, 4
Y	Nチャネル型MOSトランジスタ10 (ファミリーなし)	2, 3, 5
Y	JP 5-335564 A (富士通株式会社) 1993.12.17, 段落番号【0017】-【0025】 (ファミリーなし)	2, 3, 5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

10.11.03

国際調査報告の発送日

25.11.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河本 充雄

4M

9056

電話番号 03-3581-1101 内線 3462



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	EP 517164 A1 (SONY CORPORATION) 1992. 12. 09, 全文 & JP 4-357873 A, 全文 & US 5202907 A & SG 63631 A1	1-7
A	JP 7-297295 A (ソニー株式会社) 1995. 11. 10, 全文 (ファミリーなし)	1-7
A	JP 2001-230406 A (日本電気株式会社) 2001. 08. 24, 全文 (ファミリーなし)	1-7